

日本国特許庁
JAPAN PATENT OFFICE

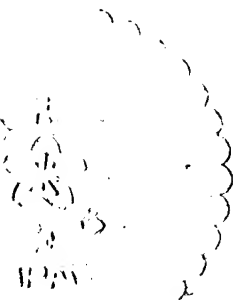
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年11月14日
Date of Application:

出願番号 特願2003-384523
Application Number:
[ST. 10/C]: [JP 2003-384523]

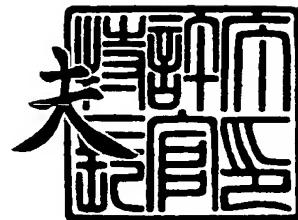
出願人 沖電気工業株式会社
Applicant(s):



2004年 2月10日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3008056

【書類名】 特許願
【整理番号】 KA003929
【提出日】 平成15年11月14日
【あて先】 特許庁長官 今井 康夫 殿
【国際特許分類】 H03K 17/22
G06F 1/24

【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 関野 芳正

【発明者】
【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
【氏名】 北沢 章司

【特許出願人】
【識別番号】 000000295
【氏名又は名称】 沖電気工業株式会社

【代理人】
【識別番号】 100086807
【弁理士】
【氏名又は名称】 柿本 恭成

【手数料の表示】
【予納台帳番号】 007412
【納付金額】 21,000円

【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9001054

【書類名】 特許請求の範囲**【請求項 1】**

電源ラインと内部ノードの間に接続されたキャパシタと、

前記内部ノードにドレインが接続され、ソースが基準電位に接続されてオフ状態に設定された MOS トランジスタと、

前記電源ラインへの電源電圧投入のあと前記内部ノードの電位が閾値電圧以下に低下したときにリセット信号を出力する出力部とを、

備えたことを特徴とするパワーオンリセット回路。

【請求項 2】

前記キャパシタは MOS トランジスタのソースとドレインを前記電源ラインに接続し、ゲートを前記内部ノードに接続した MOS 容量であることを特徴とする請求項 1 記載のパワーオンリセット回路。

【請求項 3】

電源ラインと第 1 ノードの間に接続された第 1 のキャパシタと、

前記第 1 ノードと第 2 ノードの間に接続され、第 1 のパルス信号に応じてオン・オフ制御される第 1 の MOS トランジスタと、

前記第 2 ノードと基準電位の間に接続され、第 2 のパルス信号に応じてオン・オフ制御される第 2 の MOS トランジスタと、

前記第 2 ノードと前記基準電位の間に接続された第 2 のキャパシタと、

外部から与えられるクロック信号に同期して、前記第 1 及び第 2 のパルス信号を生成するタイミング制御部と、

前記電源ラインへの電源電圧投入のあと前記内部ノードの電位が閾値電圧以下に低下したときにリセット信号を出力する出力部とを、

備えたことを特徴とするパワーオンリセット回路。

【請求項 4】

前記第 1 の MOS トランジスタは、前記第 1 のパルス信号が与えられないときにはオフ状態となり、該第 1 のパルス信号が与えられたときにオン状態となるように設定され、前記第 2 の MOS トランジスタは、前記第 2 のパルス信号が与えられないときにはオフ状態となり、該第 2 のパルス信号が与えられたときにオン状態となるように設定されたことを特徴とする請求項 3 記載のパワーオンリセット回路。

【請求項 5】

前記タイミング制御部は、外部から与えられるクロック信号が第 1 論理レベルから第 2 論理レベルへ変化したときに前記第 1 のパルス信号を出力し、該クロック信号が第 2 論理レベルから第 1 論理レベルに変化したときに前記第 2 のパルス信号を出力することを特徴とする請求項 3 または 4 記載のパワーオンリセット回路。

【請求項 6】

前記第 1 のキャパシタは、 MOS トランジスタのソースとドレインを前記電源ラインに接続し、ゲートを前記内部ノードに接続した MOS 容量であることを特徴とする請求項 3、4 または 5 記載のパワーオンリセット回路。

【請求項 7】

前記出力部は、ヒステリシス特性を有することを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載のパワーオンリセット回路。

【書類名】 明細書

【発明の名称】 パワーオンリセット回路

【技術分野】

【0001】

本発明は、電源投入時にシステムを初期化するためのリセット信号を発生するパワーオンリセット回路に関するものである。

【背景技術】

【0002】

【特許文献1】 特開平10-163840号公報

【0003】

図2(a)、(b)は、従来のパワーオンリセット回路の説明図であり、同図(a)は回路構成図、及び同図(b)は動作波形図である。

【0004】

このパワーオンリセット回路は、図2(a)に示すように、ノードNAと接地電位GNDの間に直列接続されたNチャンネルMOSトランジスタ（以下、MOSトランジスタを単に「MOS」、NチャンネルMOSを「NMOS」という）1、2を有しており、これらのNMOS1、2のゲートは電源ライン10に接続され、電源電圧VDが与えられるようになっている。ノードNAと電源ライン10の間には、PチャンネルMOS（以下、「PMOS」という）のゲートとソース・ドレイン間の静電容量を利用したMOS容量3が接続されている。即ち、PMOSのゲートがノードNAに、ソースとドレインが電源ライン10に、それぞれ接続されている。

【0005】

また、ノードNAにはインバータ4の入力側が接続され、このインバータ4の出力側がノードNBに接続されている。ノードNBと接地電位GNDの間には、NMOSのゲートとソース・ドレイン間の静電容量を利用したMOS容量5が接続されている。即ち、NMOSのゲートがノードNBに、ソースとドレインが接地電位GNDに、それぞれ接続されている。

【0006】

更に、ノードNBには縦続接続されたインバータ6、7が接続され、このインバータ7からリセット信号PORが出力されて、リセット対象の回路ブロックに与えられるようになっている。なお、図示していないが、インバータ4、6、7及び回路ブロックの電源は、電源ライン10から電源電圧VDが供給されるようになっている。

【0007】

次に動作を説明する。

電源投入前は、電源電圧VDは0Vであるので、ノードNA、NBは接地電位GNDとなり、MOS容量3、5には電荷が蓄積されていない。従って、MOS容量3、5の端子間電圧は0Vである。

【0008】

図2(b)の時刻t0で電源が投入されると、電源ライン10の電源電圧VDは0Vから所定の電源電位VDDまでの上昇を開始する。

【0009】

電源投入直後で電源電圧VDがNMOS1、2の閾値電圧VTN以下のときは、これらのNMOS1、2がオフ状態で、かつ、ノードNAは端子間電圧が0VのMOS容量3を介して電源ライン10に接続されているので、このノードNAの電位VAは、電荷保存則により電源電圧VDと同じように上昇する。

【0010】

時刻t1において、電源電圧VDが閾値電圧VTNを越えると、NMOS1、2のゲートは電源ライン10に接続されているので、これらのNMOS1、2がオン状態となる。これにより、ノードNAからNMOS1、2を介して接地電位GNDに電流が流れる。従って、これ以降の電位VAの変化は、電源電圧VDの上昇速度と、NMOS1、2のオン

抵抗（電流駆動能力）と、MOS容量3の大きさに影響される。即ち、電源電圧VDの上昇速度が速く、MOS容量3が大きく、NMOS1, 2のオン抵抗が大きければ、電位VAは電源電圧VDの上昇速度よりも遅いながら、これに追従して上昇する。

【0011】

時刻t2において、電源電圧VDが所定の電源電位VDDに達すると、電位VAは、MOS容量3とNMOS1, 2のオン抵抗の時定数に従い、指数関数的に低下する。

【0012】

時刻t3において、ノードNAの電位VAが電源電圧VDの1/2以下に低下すると、このノードNAに接続されたインバータ4の出力信号が、レベル“L”からレベル“H”に変化する。インバータ4の出力側のノードNBと接地電位GNDとの間には、MOS容量5が接続されているので、このノードNBの電位VBは所定の時定数に従って、接地電位GNDから電源電位VDDに上昇する。

【0013】

時刻t4において、ノードNBの電位VBが電源電圧VDの1/2以上になると、このノードNBに接続されたインバータ6の出力信号が反転し、更に、このインバータ6に縦続接続されたインバータ7の出力信号が反転し、リセット信号PORとして回路ブロックに与えられる。

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、前記パワーオンリセット回路では、電源電圧VDの上昇速度が速く、MOS容量3が大きく、かつNMOS1, 2のオン抵抗が大きくて、これらのNMOS1, 2がオン状態となった後も、ノードNAの電位VAが引き続いて上昇することを前提としている。このため、電源投入後における電源電圧VDの上昇速度が遅い場合、NMOS1, 2がオン状態となった後、ノードNAの電位VAがほとんど上昇しなかったり、逆に低下し始めることがある。このような場合、ノードNAのレベルは、最初から“L”のまま変化せず、ノードNBのレベルも“H”のままで変化しない。従って、リセット信号PORは、最初から“H”状態となり、正常なりセット動作ができないという課題があった。

【0015】

一方、同様の回路構成で立上がりの遅い電源電圧VDに対応させるには、NMOS1, 2のオン抵抗を大きくするためにゲート長を長くしたり、MOS容量3を大きくするためにPMOSのゲート面積を大きくする必要があり、回路パターンの面積が増大するという問題があった。

【0016】

本発明は、電源電圧VDの立上がりが遅い場合でも、正常なりセット信号PORを出力することができるパワーオンリセット回路を提供することを目的としている。

【課題を解決するための手段】

【0017】

本発明の第1のパワーオンリセット回路は、電源ラインと内部ノードの間に接続されたキャパシタと、前記内部ノードにドレインが接続され、ソースが基準電位に接続されてオフ状態に設定されたMOSトランジスタと、前記電源ラインへの電源電圧投入のあと前記内部ノードの電位が閾値電圧以下に低下したときにリセット信号を出力する出力部とを備えたことを特徴としている。

【0018】

第2のパワーオンリセット回路は、電源ラインと第1ノードの間に接続された第1のキャパシタと、前記第1ノードと第2ノードの間に接続され、第1のパルス信号に応じてオン・オフ制御される第1のMOSトランジスタと、前記第2ノードと基準電位の間に接続され、第2のパルス信号に応じてオン・オフ制御される第2のMOSトランジスタと、前記第2ノードと前記基準電位の間に接続された第2のキャパシタと、外部から与えられる

クロック信号に同期して、前記第1及び第2のパルス信号を生成するタイミング制御部と、前記電源ラインへの電源電圧投入のあと前記内部ノードの電位が閾値電圧以下に低下したときにリセット信号を出力する出力部とを備えたことを特徴としている。

【発明の効果】

【0019】

本発明の第1のパワーオンリセット回路は、内部ノードを常時オフ状態に設定されたMOSを介して基準電位に接続している。これにより、電源電圧の立上がりが遅くても内部ノードがこの電源電圧に追従して上昇するので、正常なりセット信号を出力することができるという効果がある。

【0020】

第2のパワーオンリセット回路は、第1ノードと基準電位の間に直列に接続された第1及び第2のMOSを、クロック信号に同期してオン・オフ制御するタイミング制御部を有している。これにより、第1のパワーオンリセット回路の効果に加えて、クロック信号に同期したパワーオンリセット信号を出力することができるという効果がある。

【発明を実施するための最良の形態】

【0021】

この発明の前記並びにその他の目的と新規な特徴は、次の、好ましい実施例の説明を添付図面と照らし合わせて読むと、より完全に明らかになるであろう。但し、図面は、もっぱら解説のためのものであって、この発明の範囲を限定するものではない。

【実施例1】

【0022】

図1(a)、(b)は、本発明の実施例1を示すパワーオンリセット回路の説明図であり、同図(a)は回路構成図、及び同図(b)は動作波形図である。

【0023】

このパワーオンリセット回路は、図1(a)に示すように、ノードNXと接地電位GNDの間に接続されたNMOS11を有しており、このNMOS11のゲートは接地電位GNDに接続されている。ノードNXと電源ライン10の間には、PMOSのゲートとソース・ドレイン間の静電容量を利用したMOS容量12が接続されている。即ち、PMOSのゲートがノードNXに、ソースとドレインが電源ライン10に、それぞれ接続されている。更に、ノードNXには、縦続接続された3段のインバータ13、14、15が接続され、最終段のインバータ15の出力側からリセット信号PORが出力されて、リセット対象の回路ブロックに与えられるようになっている。なお、図示していないが、インバータ13～15及び回路ブロックには、電源ライン10から電源電圧VDが供給されるようになっている。

【0024】

次に動作を説明する。

電源投入前は、電源電圧VDは0Vであるので、ノードNXの電位VXは接地電位GNDとなり、MOS容量12には電荷が蓄積されていない。従って、MOS容量12の端子間電圧は0Vである。また、NMOS11のゲートは接地電位GNDに固定接続されているので、このNMOS11はオフ状態である。

【0025】

図1(b)の時刻t10で電源が投入されると、電源ライン10の電源電圧VDは0Vから所定の電源電位VDDまでの上昇を開始する。NMOS11は、常にオフ状態であるので、このNMOS11には、微小な漏れ電流（オフリーク電流）以外は流れない。ノードNXは、端子間電圧が0VのMOS容量12を介して電源ライン10に接続されているので、このノードNXの電位VXは、電荷保存則により電源電圧VDと同じように上昇する。

【0026】

ノードNXに接続されたインバータ13には電源電圧VDが供給され、このインバータ13の入力側のレベルは、電源電圧VDにほぼ等しい電位VXであるので、このインバー

タ 13 の出力信号は“L”である。従って、インバータ 15 から出力されるリセット信号 POR も“L”となっている。これにより、回路ブロックは初期状態にセットされる。

【0027】

時刻 t_{11} において、電源電圧 V_D が所定の電源電位 V_{DD} に達すると、ノード N_X の電位 V_X もほぼ電源電位 V_{DD} に達する。その後、NMOS 11 の大きなオフリーク抵抗と MOS 容量 12 による時定数に従い、電位 V_X は指数関数的に低下する。

【0028】

時刻 t_{12} において、ノード N_X の電位 V_X が電源電圧 V_D の $1/2$ 以下に低下すると、このノード N_X に接続されたインバータ 13 の出力信号 S_{13} が、“L”から“H”に変化する。これにより、インバータ 14 の出力信号が反転し、更に、このインバータ 14 に縦続接続されたインバータ 15 の出力信号が反転して、リセット信号 POR が“H”となって回路ブロックに与えられる。これにより、回路ブロックは初期状態から解放されて、所定の動作が開始される。

【0029】

以上のように、この実施例 1 のパワーオンリセット回路は、リセット信号 POR を“L”から“H”へ変化させるタイミングを、NMOS 11 のオフリーク抵抗と MOS 容量 12 による時定数に従って行うように構成しているので、回路パターンの面積を増加させずに、電源電圧 V_D の立上がりが遅い場合でも、正常なリセット信号 POR を出力することができるという利点がある。

【実施例 2】

【0030】

図 3 は、本発明の実施例 2 を示すパワーオンリセット回路の回路図であり、図 1 (a) 中の要素と共通の要素には共通の符号が付されている。

【0031】

このパワーオンリセット回路は、図 1 (a) のパワーオンリセット回路の出力部にヒステリシス特性を持たせたものである。即ち、PMOS 16 を追加し、この PMOS 16 のドレイン、ゲート、及びソースを、それぞれインバータ 13 の出力側（インバータ 14 の入力側）、インバータ 14 の出力側（インバータ 15 の入力側）、及び電源ライン 10 に接続している。その他の構成は、図 1 (a) と同様である。

【0032】

このパワーオンリセット回路の基本動作は、図 1 と同様であるので詳細説明は省略するが、ノード N_X の電位 V_X がインバータ 11 の閾値電圧よりも低くなると、このインバータ 13 の出力信号は“L”から“H”となる。これにより、インバータ 14 の出力信号は“H”から“L”となり、PMOS 16 はオン状態となる。

【0033】

このとき、ノード N_X は、インバータ 13 の閾値電圧よりも低電位で“L”と認識されているが、接地電位 GND ではない。そのため、インバータ 13 の出力側の電位も“H”と認識されているが中間電位であり、不安定な状態となっている。ここで、PMOS 16 がオン状態になると、インバータ 14 の入力側がこの PMOS 16 を介して電源ライン 10 に接続されるので、より高電位となって安定した“H”状態となる。

【0034】

以上のように、この実施例 2 のパワーオンリセット回路は、出力部にヒステリシス特性を持たせるために PMOS 16 を追加しているので、ノード N_X が“H”から“L”に変化したときにノイズが発生しても、リセット信号 POR への影響を防止でき、より安定した動作が実現できるという利点がある。

【実施例 3】

【0035】

図 4 (a), (b) は、本発明の実施例 3 を示すパワーオンリセット回路の説明図であり、同図 (a) は回路構成図、及び同図 (b) は動作波形図である。この図 4 (a) において、図 3 中の要素と共通の要素には共通の符号が付されている。

【0036】

このパワーオンリセット回路は、外部から与えられるクロック信号に同期したリセット信号を発生するもので、図4(a)に示すように、図3中のNMOS11に代えて直列に接続されたNMOS17, 18を有すると共に、これらのNMOS17, 18を制御するタイミング制御部20を備えている。

【0037】

NMOS17のソースとNMOS18のドレインの接続点(ノードNY)には、キャパシタ19の一端が接続され、このキャパシタ19の他端が接地電位GNDに接続されている。タイミング制御部20は、外部からクロック信号CLKが与えられる端子21を有し、この端子21に3段のインバータ22~24が縦続接続されている。終段のインバータ24の出力側は、2入力の否定的論理積ゲート(以下、「NAND」という)25の一方の入力側に接続され、このNAND25の他方の入力側は端子21に接続されている。NAND25から出力される信号S25は、NMOS18のゲートに与えられると共に、インバータ26で反転されて信号S26としてNMOS17のゲートに与えられるようになっている。

【0038】

このタイミング制御部20は、端子21に一定周期で“L”, “H”を繰り返すクロック信号CLKが与えられたときに、このクロック信号CLKの立上がり同期して、インバータ22~24の遅延時間だけ“L”となるパルス状の信号S25と、この信号S25を反転したパルス状の信号S26を出力するものである。その他の構成は、図3と同様である。

【0039】

次に動作を説明する。

このパワーオンリセット回路において、クロック信号CLKが与えられていない(即ち、“L”または“H”に固定されている)ときは、タイミング制御部20のNAND25から出力される信号S25は“H”となり、インバータ26から出力される信号S26は“L”となる。従って、NMOS17, 18は、それぞれオフ状態及びオン状態となり、図3と同様の構成となって同様の動作が行われる。

【0040】

クロック信号CLKが与えられた場合の動作は、次のようになる。

図4(b)の時刻t20で電源が投入されると、電源ライン10の電源電圧VDは0Vから所定の電源電位VDDまでの上昇を開始する。電源立上がり時にクロック信号が“L”であると、信号S25, S26はそれぞれ“H”, “L”であるので、NMOS17, 18は、それぞれオフ状態及びオン状態となる。従って、NMOS17には、微小な漏れ電流(オフリーク電流)以外は流れない。

【0041】

ノードNXは、端子間電圧が0VのMOS容量12を介して電源ライン10に接続されているので、このノードNXの電位VXは、電荷保存則により電源電圧VDと同じように上昇する。一方、NMOS18はオン状態であるので、ノードNYの電位VYは、ほぼ接地電位GNDである。

【0042】

時刻t21において、電源電圧VDが所定の電源電位VDDに達すると、ノードNXの電位VXもほぼ電源電位VDDに達する。その後、NMOS11の大きなオフリーク抵抗とMOS容量12による大きな時定数に従い、電位VXは指数関数的に低下する。但し、その電位低下は極めて緩慢である。

【0043】

時刻t22において、クロック信号CLKが立上がると、タイミング制御部20から出力される信号S25, S26が、一定時間だけそれぞれ“L”, “H”となる。これにより、NMOS17はオン状態となり、NMOS18はオフ状態となる。この結果、ノードNXは、NMOS17を介してノードNYに接続されたキャパシタ19と、電荷を分配す

ることになり、その分だけノードNXの電位VXが急速に降下し、その降下分だけノードNYの電位VYは上昇する。

【0044】

時刻t23において、信号S25, S26が、それぞれ“H”, “L”に戻ると、NMOS17はオフ状態となり、NMOS18はオン状態となる。これにより、ノードNXとノードNYは分離される。また、キャパシタ19はNMOS18を介して放電され、ノードNYの電位VYは、接地電位GNDとなる。

【0045】

時刻t24, t25, …におけるクロック信号CLKの立上がり毎に、時刻t22と同様の動作が繰り返され、ノードNXの電位VXは段階的に低下する。そして、例えば、時刻t25において、電位VXが電源電圧VDの1/2以下に低下すると、このノードNXに接続されたインバータ13の出力信号が、“L”から“H”に変化し、リセット信号PORが“H”となる。

【0046】

なお、MOS容量12とキャパシタ19の容量比を調節することにより、ノードNXの電位VXがインバータ13の閾値よりも低下するまでのクロック数を設定することが可能である。

【0047】

以上のように、この実施例3のパワーオンリセット回路は、外部から与えられるクロック信号CLKに同期してNMOS17, 18をオン・オフ制御するタイミング制御部20を備えている。これにより、一定周期でノードNXの電位VXを段階的に低下させることができるので、実施例2の利点に加えて、クロック信号CLKに同期したリセット信号PORを出力することができるという利点がある。

【実施例4】

【0048】

実施例3のタイミング制御部20は、NMOS17, 18を同じタイミングでオン・オフ制御するようにしている。このため、タイミングによっては、NMOS17, 18が一時的に同時にオン状態となって、ノードNXが接地電位GNDに接続されてしまい、設定どおりのタイミングが得られないおそれがあった。実施例4は、そのようなおそれを解消するものである。

【0049】

図5(a), (b)は、本発明の実施例4を示すパワーオンリセット回路の説明図であり、同図(a)は回路構成図、及び同図(b)は動作波形図である。この図5(a)において、図4(a)中の要素と共通の要素には共通の符号が付されている。

【0050】

このパワーオンリセット回路は、図5(a)に示すように、図4(a)中のタイミング制御部20に代えて、構成が若干異なるタイミング制御部20Aを設けている他は、この図4(a)のパワーオンリセット回路と同様の構成である。

【0051】

タイミング制御部20Aは、タイミング制御部20と同様の端子21、インバータ22~24, 26、及びNAND25に加えて、インバータ27~30, 32とNAND31で構成されている。

【0052】

即ち、端子21には、クロック信号CLKを反転するためのインバータ27が接続されている。インバータ27の出力側は、縦続接続された3段のインバータ28~30を介して、NAND31の一方の入力側に接続されると共に、このNAND31の他方の入力側に直接接続されている。NAND31の出力側には、インバータ32が接続され、このインバータから出力される信号S32が、NMOS18のゲートに与えられるようになっている。

【0053】

次に動作を説明する。

このパワーオンリセット回路において、クロック信号CLKが与えられていないときは、タイミング制御部20Aのインバータ26, 32から出力される信号S26, S32は共に“L”となる。従って、NMOS17, 18は共にオフ状態となり、図3と同様の動作が行われる。

【0054】

クロック信号CLKが与えられた場合の動作は、次のようになる。

図5(b)の時刻t30で電源が投入されると、電源ライン10の電源電圧VDは0Vから所定の電源電位VDDまでの上昇を開始する。電源立上がり時にクロック信号が“L”であると、信号S26, S32は共に“L”であるので、NMOS17, 18はオフ状態となる。従って、NMOS17, 18には、微小な漏れ電流以外は流れない。ノードNXは、端子間電圧が0VのMOS容量12を介して電源ライン10に接続されているので、このノードNXの電位VXは、ほぼ電源電圧VDと同じように上昇する。

【0055】

時刻t31において、電源電圧VDが所定の電源電位VDDに達すると、ノードNXの電位VXもほぼ電源電位VDDに達する。

【0056】

時刻t32において、クロック信号CLKが立上がると、タイミング制御部20Aから出力される信号S26が、一定時間だけ“H”となる。これにより、NMOS17はオン状態となるが、NMOS18はオフ状態のままである。この結果、ノードNXは、NMOS17を介してノードNYに接続されたキャパシタ19と、電荷を分配することになり、その分だけノードNXの電位VXが急速に降下し、その降下分だけノードNYの電位VYは上昇する。

【0057】

時刻t33において、信号S26が“L”に戻ると、NMOS17はオフ状態となってノードNXとノードNYは分離される。

【0058】

時刻t34において、クロック信号CLKが立下がると、タイミング制御部20Aから出力される信号S32が、一定時間だけ“H”となる。これにより、NMOS18はオン状態となるが、NMOS17はオフ状態のままである。この結果、キャパシタ19はNMOS18を介して放電され、ノードNYの電位VYは、接地電位GNDとなる。

【0059】

時刻t35, t37, …におけるクロック信号CLKの立上がり毎に、時刻t32と同様の動作が繰り返され、ノードNXの電位VXは段階的に低下する。また、時刻t36, …におけるクロック信号CLKの立下がり毎に、時刻t34と同様の動作が繰り返され、キャパシタ19が放電される。

【0060】

そして、例えば、時刻t37のクロック信号CLKの立上がりにおいて、電位VXが電源電圧VDの1/2以下に低下すると、このノードNXに接続されたインバータ13の出力信号が、“L”から“H”に変化し、リセット信号PORが“H”となる。

【0061】

以上のように、この実施例4のパワーオンリセット回路は、外部から与えられるクロック信号CLKの立上がり同期してNMOS17を一定時間だけオン状態にし、このクロック信号CLKの立下がり同期してNMOS18を一定時間だけオン状態に制御するタイミング制御部20Aを備えている。これにより、NMOS17, 18が同時にオン状態になることがないので、ノードNXが接地電位GNDに接続されるおそれなくなり、実施例3の利点に加えて、設定どおりの安定した動作が得られるという利点がある。

【0062】

なお、以上説明した実施例は、あくまでも、この発明の技術内容を明らかにするためのものである。この発明は、上記実施例にのみ限定して狭義に解釈されるものではなく、こ

の発明の特許請求の範囲に述べる範囲内で、種々変更して実施することができる。その変形例としては、例えば、次のようなものがある。

【0063】

(a) 電源ライン10とノードNXの間に、PMOSによるMOS容量12を接続しているが、MOS容量に限定せず、どのようなキャパシタでも適用可能である。

【0064】

(b) リセット信号PORの出力部を、3段のインバータ13～15で構成しているが、出力部の構成はこれに限定されない。

【0065】

(c) タイミング制御部20, 20Aでは、3段のインバータで遅延回路を構成しているが、インバータの段数は任意である。また、その他の遅延回路を用いても良い。即ち、クロック信号CLKに同期したパルス信号が発生できるものであれば、どのような回路構成でも同様に適用可能である。

【図面の簡単な説明】

【0066】

【図1】本発明の実施例1を示すパワーオンリセット回路の説明図である。

【図2】従来のパワーオンリセット回路の説明図である。

【図3】本発明の実施例2を示すパワーオンリセット回路の回路図である。

【図4】本発明の実施例3を示すパワーオンリセット回路の説明図である。

【図5】本発明の実施例4を示すパワーオンリセット回路の説明図である。

【符号の説明】

【0067】

10 電源ライン

11, 17, 18 NMOS

12 MOS容量

13～15, 22～24, 26～30, 32 インバータ

16 PMOS

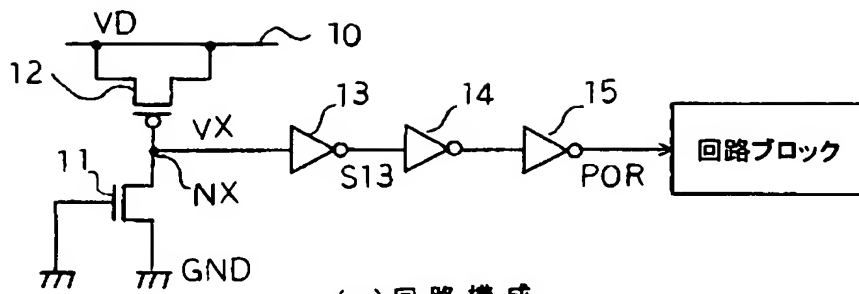
19 キャパシタ

20, 20A タイミング制御部

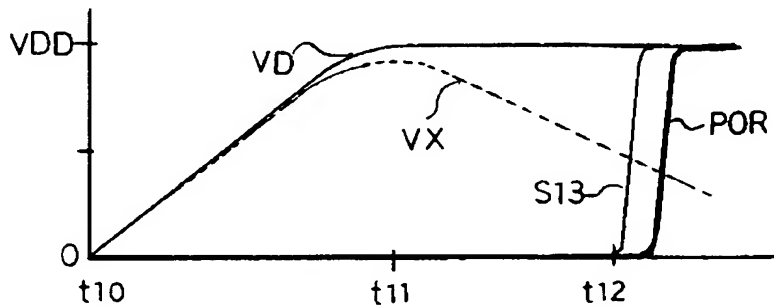
25, 31 NAND

【書類名】 図面

【図 1】



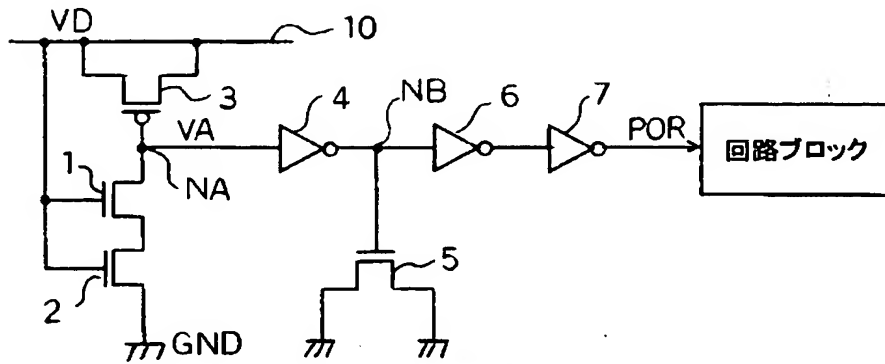
(a) 回路構成



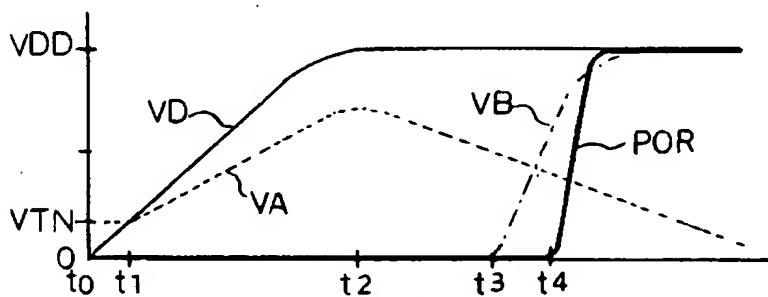
(b) 動作波形

本発明の実施例1のパワーオンリセット回路

【図 2】



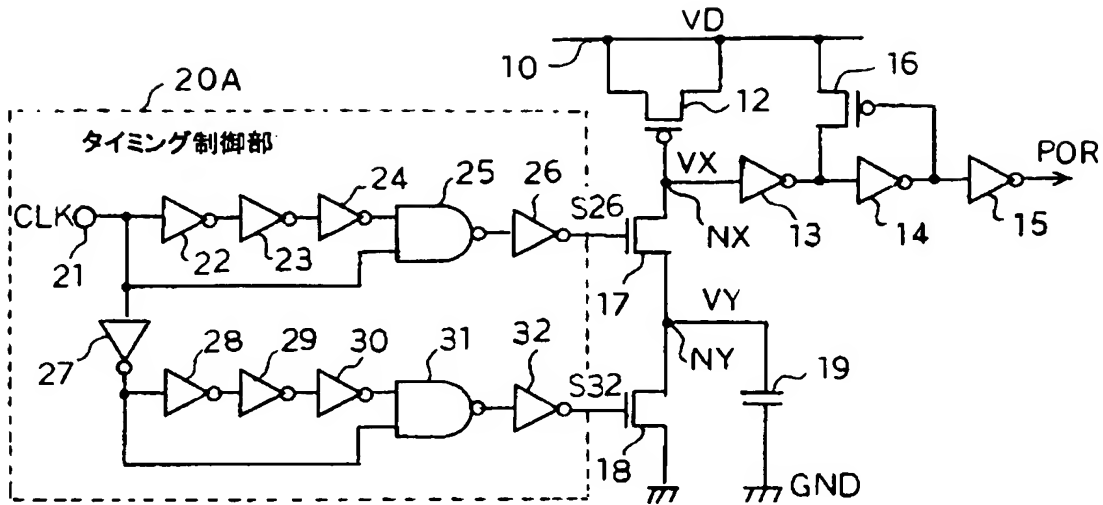
(a) 回路構成



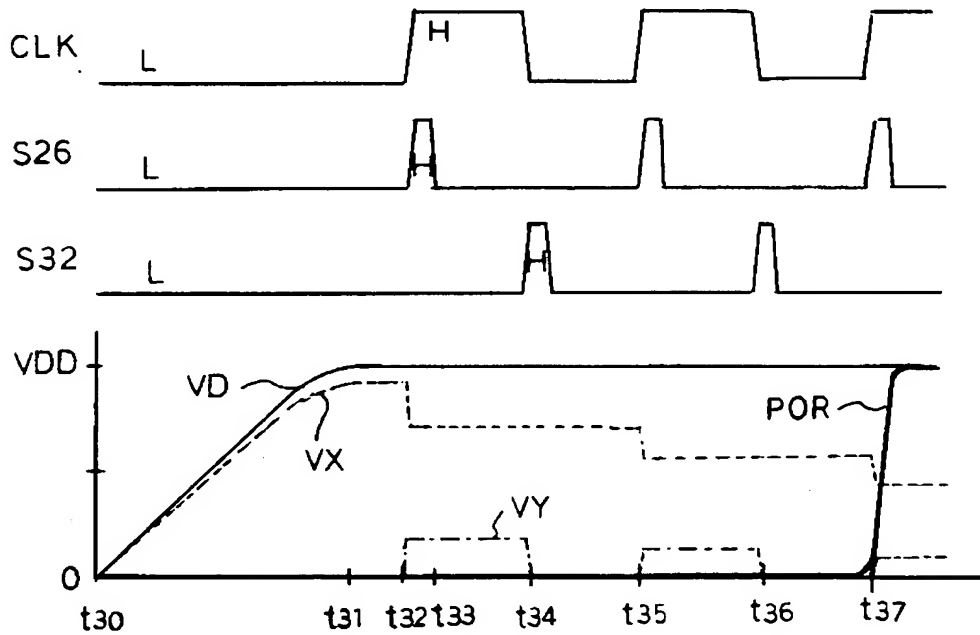
(b) 動作波形

従来のパワーオンリセット回路

【図 5】



(a) 回路構成



(b) 動作波形

本発明の実施例4のパワーオンリセット回路

【書類名】 要約書**【要約】**

【課題】 電源電圧の立上がりが遅い場合でも、正常なリセット信号を出力することができるパワーオンリセット回路を提供する。

【解決手段】 ノードNXはゲートが接地電位GNDに固定接続されたNMOS11を介して接地電位GNDに接続されると共に、PMOSのドレインとソースを共通接続したMOS容量12を介して電源ライン10に接続されている。従って、電源投入時に電源電圧VDの立上がりが遅い場合でも、ノードNXの電位VXは、この電源電圧VDにほぼ追従して上昇する。電源電圧VDが所定の電源電位VDDに達すると、NMOS11のオフリーク電流によって電位VXが徐々に低下する。ノードNXには電源電圧VDで動作するインバータ13～15が接続されているので、電位VXが電源電圧VDの1/2まで低下すると、このインバータ15から出力されるリセット信号PORが“H”となる。

【選択図】 図1

特願 2 0 0 3 - 3 8 4 5 2 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 0 2 9 5]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社